

## PROPOSITION POUR UN STAGE DE DESS EN MICROELECTRONIQUE A L'IREs/LEPSI

### ETUDE ET INTEGRATION D'ALGORITHMES DE TRAITEMENT ET DE COMPRESSION D'IMAGES

La complexité des circuits intégrés croît d'une façon exponentielle depuis 1984 d'une centaine de milliers de transistors à quelques millions de transistors aujourd'hui. Cette croissance d'intégration et la réduction continue des dimensions submicroniques des transistors CMOS ont fait émerger de nouvelles possibilités d'applications. D'autre part, les outils de développement et de conception assistée par ordinateur -CAO- sont toujours plus performants et mieux adaptés à la synthèse de circuits à applications spécifiques -ASIC-. Ces critères permettent d'intégrer sur une même puce de silicium les parties capteur, conditionnement du signal et algorithmes de traitement et de calcul.

Des développements sont en cours à l'IREs concernant la détection précise de la trajectoire des particules chargées à proximité de la zone d'interaction des faisceaux du prochain collisionneur linéaire. Ainsi, l'étude porte sur les capteurs CMOS qui sont probablement, de part leur bonne tenue aux radiations, leur quasi-insensibilité au champ magnétique et leur excellente granularité, les capteurs les plus optimisés pour la zone d'interactions des faisceaux. Ces capteurs délivrent un flux très élevé de données ayant une vitesse avoisinant quelques centaines de gigas bits par seconde.

C'est dans le contexte de traitement et compression d'un grand flux de données que s'inscrit cette proposition de stage de DESS au sein de l'équipe de concepteurs en microélectronique des laboratoires IRES et LEPSI.

Ce stage de 6 mois portera sur l'étude et l'implémentation des algorithmes de calcul et de compression de données. Dans un premier temps, le stagiaire réalisera une étude bibliographique sur les algorithmes et architectures les mieux adaptés aux contraintes matérielles, surface disponible, vitesse de lecture et consommation. Ensuite, il étudiera et réalisera l'architecture proposée en technologie AMS 0.35  $\mu\text{m}$ . Pour cela, il passera par les étapes classiques de simulation/synthèse et placement & routage.

**Outils et langages utilisés :** Langages de programmation matérielle *VHDL/VERILOG*  
Compilateur *AMBIT*  
P&R sous *Silicon Ensemble*  
Calculateur de délais *PEARL*  
Simulateur CADENCE sous *VERILOG-XL*

**Personnes à contacter :** Christine HU, Hayet KEBBATI