

Maîtrise EEA

Proposition de TER 2004/2005

Conception et réalisation d'un amplificateur de sortie différentielle en courant

Les imageurs de rayonnements ionisants utilisés aussi bien dans les expériences de physique subatomique que dans les domaines d'application comme l'imagerie biomédicale, requièrent, pour le conditionnement des signaux, des circuits électroniques intégrés d'une complexité croissante. Les technologies submicroniques utilisées pour la réalisation des transistors MOS permettent de relever ces défis. D'autre part, les outils de développement et de conception assistée par ordinateur (CAO) sont toujours plus performants et mieux adaptés à la synthèse de circuits à applications spécifiques (ASIC) dont la demande est en constante progression.

C'est dans ce contexte que le laboratoire s'investit actuellement dans la contribution au développement d'un trajectographe pour le Futur Collisionneur Linéaire et dans la conception d'un tomographe à émission de positons (PET) pour l'imagerie du petit animal. Ces deux projets nécessitent le développement d'un amplificateur de sortie différentielle en courant (de type amplificateur à trans-conductance qui fournit un courant différentiel de sortie proportionnel à la tension d'entrée).

Un amplificateur de sortie est un élément essentiel de la chaîne de conditionnement des signaux. L'avantage d'une sortie différentielle en courant est qu'elle est moins sensible aux différentes interférences et capable de piloter des lignes de capacités élevées. Les principaux critères d'optimisation de ce circuit seront: la linéarité, la vitesse et la consommation.

Nous proposons ce travail au sein de l'équipe de concepteurs en microélectronique de l'IRES/LEPSI. Ce stage de trois mois portera sur l'étude du schéma, la simulation et la réalisation du dessin des masques (layout) d'un amplificateur trans-conductance. Le circuit sera fondu en technologie AMS 0.35 μm . Dans un premier temps, le stagiaire commencera l'étude du schéma d'un amplificateur trans-conductance qui a été réalisé en technologie 0.25 μm et optimisera le circuit en technologie 0.35 μm suivant les spécifications demandées. Il réalisera ensuite le layout du circuit. Pour cela, il passera par toutes les étapes classiques de conception/simulation et de réalisation du layout / vérification d'un circuit intégré.

Encadrant : Christine HU christine.hu@IREs.in2p3.fr

Tél : 03 90 24 28 62

Lieu du TER : LEPSI, site de Cronembourg

Enseignant : Anthony BOZIER bozier@lepsi.in2p3.fr

Tél : 03 90 24 28 65/75