

## Proposition pour un stage d'ingénieur en microélectronique à l'IREs/LEPSI

### Conception et réalisation d'un oscillateur 1 GHz à verrouillage de phase (PLL)

Les imageurs de rayonnements ionisants utilisés aussi bien dans les expériences de physique subatomique que dans ses domaines d'application comme l'imagerie biomédicale, requièrent, pour le conditionnement des signaux, des circuits électroniques intégrés d'une complexité croissante. Les technologies submicroniques utilisées pour la réalisation des transistors MOS permettent de relever ces défis. D'autre part, les outils de développement et de conception assistée par ordinateur (CAO) sont toujours plus performants et mieux adaptés à la synthèse de circuits à applications spécifiques (ASIC) dont la demande est en constante progression.

C'est dans ce cadre que le laboratoire s'investit actuellement dans la contribution au développement d'un trajectographe pour le Futur Collisionneur Linéaire et dans la conception d'un tomographe à émission de positons (PET) pour l'imagerie du petit animal.

Le trajectographe nécessite le développement d'un capteur monolithique à pixels actifs (MAPS) à haute résolution spatiale, faible consommation, résistant aux rayonnements et à lecture rapide, typiquement la dizaine de microsecondes par million de pixels.

Le projet PET, impose de détecter après l'annihilation du positon de l'émetteur  $\beta^+$ , la coïncidence en temps des deux photons émis dans des directions opposées. La mesure de coïncidence aura une résolution temporelle de l'ordre de la nano seconde. Il y aura environ 15000 canaux de détection.

Ces deux projets ont besoin d'un générateur d'horloge rapide de quelques GHz intégrable dans un ASIC. C'est dans ce contexte que nous proposons un stage de Fin d'Etudes d'Ingénieur au sein de l'équipe de concepteurs en microélectronique de l'IREs et du LEPSI.

Ce stage de 6/8 mois portera sur l'étude et la conception d'un oscillateur à verrouillage de phase (PLL - Phase Locked Loop) à 1 GHz. Dans un premier temps, le stagiaire réalisera une étude bibliographique sur l'état de l'art et prendra en main les outils de simulation. Puis il étudiera, en concertation avec son superviseur, la faisabilité de l'architecture proposée et enfin réalisera un démonstrateur en technologie 0.35  $\mu\text{m}$ . Pour cela il passera par les étapes classiques de conception/simulation puis si les délais le permettent, la réalisation du layout et sa vérification.