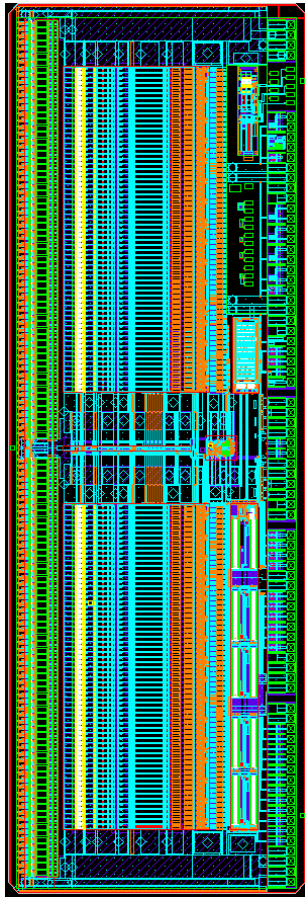


HAL25 : un circuit intégré pour l'expérience ALICE au LHC

Les expériences auprès des grands accélérateurs nécessitent l'utilisation d'une électronique résistante aux forts taux de radiations engendrés lors des collisions d'ions lourds. Les circuits intégrés ALICE128C et COSTAR, conçus au LEPSI et utilisés dans l'expérience STAR, ont permis le développement du circuit HAL25 par le groupe microélectronique de l'IReS pour satisfaire les exigences du futur détecteur ALICE au LHC.



Dessin physique du circuit intégré HAL25 pour la lecture des signaux analogiques issus des détecteurs micropistes silicium de l'expérience ALICE au LHC.

Taille du circuit : 3,65 mm x 10,9 mm

Références

Electrical Characterization of ALICE128C: A Low-Power CMOS ASIC for the Readout of Silicon Strip Detectors.

Proceedings of the "Fourth Workshop on Electronics for LHC Experiments", Rome, (Italy), 21-25 Sept. 1998
CERN/LHCC/98-36, p160-164

The HAL25 Front-End Chip for the ALICE Silicon Strip Detectors

Proceedings of "7th Workshop on the Electronics for LHC Experiments", Stockholm, (Sweden), Sept.10-14, 2001
CERN/LHC/2001-034, pp 76-80

Test and Evaluation of HAL25 : the ALICE SSD Front-End Chip

Proceedings of "8th Workshop on the Electronics for LHC Experiments", Colmar (France), Sept. 2002,
CERN-2002-03, p135-138,
ISBN 92-9083-202-9

Le circuit ALICE128C - 128 voies analogiques de lecture et de conditionnement des signaux issus des capteurs micropistes silicium - a été conçu et testé au LEPSI. Fabriqué industriellement à 8 000 exemplaires en technologie CMOS 1.2µm, il est actuellement utilisé dans l'expérience STAR auprès de l'accélérateur RHIC à BROOKHAVEN (USA). En parallèle le circuit COSTAR a été conçu pour permettre le contrôle et la commande d'un certain nombre de paramètres analogiques et numériques et s'insère dans le système de contrôle JTAG de l'électronique frontale sans adjonction d'autres éléments de liaison.

Le circuit ALICE128C qui fonctionne à des taux de radiations n'excédant pas 50 KRad était prévu au départ pour équiper le SSD du tracker de l'expérience ALICE au LHC (d'où son nom). Mais dans cette expérience les risques de dégradation et de blocage dus aux rayonnement ionisants ne sont pas négligeables, même si le niveau de radiation auquel le circuit sera effectivement soumis est encore sujet à controverse.

Ainsi un nouveau circuit **HAL25**, basé sur le principe d'ALICE128C et extrapolé à partir de celui-ci, a été conçu de façon à optimiser sa tenue aux radiations et à satisfaire une demande de faible consommation et de faible bruit électronique. Il est réalisé en technologie CMOS 0.25 µm, technologie submicronique commerciale permettant de fabriquer "naturellement" des circuits ayant une bonne tenue aux radiations.

Chaque voie est constituée d'un préamplificateur de charge, d'un circuit de mise en forme et d'un étage de mémorisation commandé par un signal extérieur. Un multiplexeur analogique permet la lecture séquentielle des données analogiques mémorisées. Un amplificateur de sortie intégré est commun aux 128 voies. La logique de contrôle répondant à la norme JTAG-IEEE 1149-1 est incorporée au circuit. Elle permet de contrôler les différents courants de polarisation, le temps de mise en forme ainsi que le choix des différents modes de test :

- génération d'impulsions de test pour une sélection de canaux;
- mise en mode transparent d'un canal, ce qui permet de visualiser en sortie la mise en forme du signal d'entrée;
- test des interconnexions.

Les principales caractéristiques du circuit HAL25 sont les suivantes :

- dynamique d'entrée de +/-15 MIPs (1MIP = 22000 électrons dans 300 µm de silicium);
- temps de mise en forme ajustable entre 1,4 et 2,0 µs;
- bruit, ramené à l'entrée, inférieur à 500 électrons pour une capacité de détecteur de 8pF et 1,5 µs de mise en forme;
- multiplexeur et buffer différentiel de sortie en courant pouvant travailler à une fréquence de lecture d'au moins 10MHz sur une charge de 200 Ω en parallèle avec une capacité de 20 pF;
- gain total de la chaîne de 30 mV/MIP;
- dissipation inférieure à 300 µW/canal pour un cycle de lecture de 1ms ;
- tensions d'alimentation 0 + 2,5 V;
- pas d'interconnexion au détecteur de 80 µm pour faciliter l'assemblage par TAB (Tape Automated Bonding).

Ces caractéristiques permettent d'atteindre les spécifications espérées pour l'expérience ALICE : gamme dynamique de 10 bits et résolution en énergie proche de 8 bits sur toute la dynamique de sortie.

La phase de préindustrialisation a démarrée en été 2003 : 6 wafers ont été produits avec un rendement de 90%.

Contact : Christine.Hu@ires.in2p3.fr

Janvier 2004