

**Master Sciences – Mention Physique**  
**Spécialité "Micro- Nano-Electronique"**  
**2005/2006**

---

**Proposition de stage**

**Laboratoire d'accueil : IReS / UMR 7500**

**Prototypage sur cible FPGA d'algorithmes de traitement  
d'images en vue de son implémentation sur un ASIC**

**Description du stage :**

La complexité des circuits intégrés croît d'une façon exponentielle depuis 1984 d'une centaine de milliers de transistors à quelques millions de transistors aujourd'hui. Cette croissance d'intégration et la réduction continue des dimensions submicroniques des transistors CMOS ont fait émerger de nouvelles possibilités d'applications. D'autre part, les outils de développement et de conception assistée par ordinateur -CAO- sont toujours plus performants et mieux adaptés à la synthèse de circuits à applications spécifiques -ASIC-. Ces critères permettent d'intégrer sur une même puce de silicium les parties capteur, conditionnement du signal et algorithmes de traitement et de calcul.

Des développements sont en cours à l'IReS concernant la détection précise de la trajectoire des particules chargées à proximité de la zone d'interaction des faisceaux du prochain collisionneur linéaire. Ainsi, l'étude porte sur les capteurs CMOS qui sont probablement, de part leur bonne tenue aux radiations, leur quasi-insensibilité au champ magnétique et leur excellente granularité, les capteurs les plus optimisés pour la zone d'interactions des faisceaux. Ces capteurs délivrent un flux très élevé de données ayant une vitesse avoisinant quelques centaines de gigas bits par seconde.

**Objectifs du projet et travaux réalisés**

Le projet consiste tout d'abord en une revue de l'état de l'art concernant les algorithmes de calcul et de compression de données pouvant s'appliquer à la reconstruction de cluster d'image.

Dans un même ordre d'idées, on peut chercher à déterminer, pour un algorithme donné quelle est l'architecture optimale vis-à-vis d'un ensemble de contraintes (temps d'exécution, contraintes matérielles, surface disponible, vitesse de lecture et consommation), et ceci en se basant sur une méthodologie d'adéquation algorithmique architecture.

Ensuite, il étudiera et réalisera l'architecture proposée en utilisant deux cibles matériels, sur FPGA type VIRTEX 2 et sur cible ASIC en la technologie AMS 0.35  $\mu\text{m}$ , en vue de faire une comparaison type matériel. Pour cela, il passera par les étapes classiques de simulation/synthèse et placement & routage.

**Outils et langages utilisés :** Langages de programmation matérielle *VHDL/VERILOG*  
Complificateur : *AMBIT,symply\_pro*

P&R sous Soc Encounter, ISE Xilinx  
Simulateur CADENCE sous *VERILOG-XL,NC - VHDL*

**Responsable(s) du stage :** **Abdelkader HIMMI**  
Mél : [Abdelkader.himmi@ires.in2p3.fr](mailto:Abdelkader.himmi@ires.in2p3.fr)  
Tel : 03 90 24 28 45