

## Niveau Master 2 (BAC+5) Spécialité "Micro-Electronique"

2006/2007

### Proposition de stage (4 à 6 mois)

#### Prototypage sur cible FPGA d'algorithmes de traitement d'images en vue de son implémentation sur un ASIC

#### A. Sujet bibliographique :

Dans un premier temps, le stagiaire réalisera une étude bibliographique sur les algorithmes et architectures de compression de données les mieux adaptés aux contraintes matérielles, surface disponible, vitesse de lecture et consommation (Méthodologie d'adéquation algorithme architecture) appliqués à la reconstruction de traces pour la physique des particules.

#### Responsables du stage :

Abdelkader HIMMI

Ingénieur de Recherche

Tél. : (33) 03 88 10 61 23

[Abdelkader.himmi@ires.in2p3.fr](mailto:Abdelkader.himmi@ires.in2p3.fr)

Claude COLLEDANI

Ingénieur

Tél. : (33) 03 88 10 61 11

[claude.colledani@ires.in2p3.fr](mailto:claude.colledani@ires.in2p3.fr)

Yann HU

Professeur

Tél. : (33) 03 88 10 61 24

[Yann.hu@ires.in2p3.fr](mailto:Yann.hu@ires.in2p3.fr)

#### B. Description du stage :

Le futur collisionneur linéaire (International Linear Collider) constitue l'un des grands projets des années à venir dans le domaine de la physique des particules. Cette expérience permettra de répondre à beaucoup de questions posées par les résultats des collisionneurs d'anciennes générations : de l'identité de la matière noire à l'existence d'extra - dimensions. Des développements sont en cours à l'IPHC concernant la détection précise de la trajectoire des particules chargées à proximité de la zone d'interaction des faisceaux du collisionneur linéaire. Ainsi, l'étude porte sur les capteurs CMOS qui sont probablement, de part leur bonne tenue aux radiations, leur quasi-insensibilité au champ magnétique et leur excellente granularité, les capteurs les plus optimisés pour la zone d'interactions des faisceaux. Ces capteurs délivrent un flux très élevé de données ayant une vitesse avoisinant quelques centaines de gigas bits par seconde. Afin de réduire le flot de données d'au moins deux ordres de grandeur, il est nécessaire d'implémenter des algorithmes de compression de données dans ces capteurs.

Le projet consiste tout d'abord en une revue de l'état de l'art concernant les algorithmes de calcul et de compression de données pouvant s'appliquer à la reconstruction de cluster d'image. Dans un même ordre d'idées, on peut chercher à déterminer, pour un algorithme donné quelle est l'architecture optimale vis-à-vis d'un ensemble de contraintes, et ceci en se basant sur une méthodologie d'adéquation algorithmique architecture. Ensuite, le stagiaire étudiera et réalisera l'architecture proposée en utilisant deux cibles matériels, sur FPGA type VIRTEX 2 et sur cible ASIC en technologie AMS 0.35  $\mu\text{m}$ , en vue de faire une comparaison type matériel. Pour cela, il passera par les étapes classiques de simulation/synthèse et placement & routage.

#### Outils et langages utilisés :

- Langages de programmation matérielle VHDL/VERILOG
- Compilateur : Encounter RTL Compiler, Synplify\_pro
- P&R sous Soc Encounter, ISE Xilinx, et Simulateurs VERILOG-XL, NC – VHD

Institut Pluridisciplinaire

Hubert Curien

Département Recherches

Subatomiques

23 rue du Loess

BP 28

F-67037 Strasbourg cedex 2

Tél. : (33) 03 88 10 65 87

Fax : (33) 03 88 10 62 34

<http://www.wires.in2p3.fr>