

Niveau Master 2 (BAC+5) Spécialité "Micro-Electronique"

2006/2007

Proposition de stage (4 à 6 mois)

Caractérisation d'un ASIC mixte dédié à l'étude de l'implantation de mémoires et de discriminateurs dans des pixels (MAPS) pour détecteur de vertex

Description du projet :

Responsables du stage :

Gilles CLAUD

Ingénieur de Test

Tél. : (33) 03 90 24 28 52

gilles.claus@ires.in2p3.fr

Christine HU

Responsable du Groupe de
Microélectronique de l'IPHC

Tél. : (33) 03 88 10 61 10

Christine.hu@ires.in2p3.fr

Le Département Recherches Subatomiques de l'Institut Pluridisciplinaire Hubert Curien travaille, entre autres, dans le domaine de la physique des particules. Ces recherches nécessitent la construction de spectromètres auprès de collisionneur de hautes énergies comme par exemple CMS et ALICE en construction sur le LHC au CERN, ou le futur grand collisionneur linéaire à électrons (ILC). Le développement de tels instruments est à la charge de l'ensemble de la communauté scientifique internationale et fait appel à tous les domaines de compétences: physique, instrumentation, électronique, microélectronique, mécanique...

En 1999 un programme de R&D sur les capteurs monolithiques à pixels actifs (MAPS Monolithic Active Pixels Sensors) pour la détection des particules chargées, a été initié à l'IPHC par le groupe capteurs CMOS. Ces détecteurs intègrent sur le même substrat, en technologie CMOS, le capteur et l'électronique de conditionnement du signal. Notre activité comprend le développement et la caractérisation de ces détecteurs. Aujourd'hui leur champ d'application dépasse largement le domaine de la physique et peut par exemple viser celui de l'imagerie biomédicale.

Le stage proposé s'inscrit dans l'évaluation des technologies microélectroniques pressenties pour la mise au point des détecteurs de l'ILC. L'étudiant devra initier les tests du circuit MMyMAP (Multi MemorY Mos Activee Pixel) fabriqué au cours de l'été 2006. Les fonctions implémentées permettent d'émuler une matrice de pixels à mémoires analogiques et discriminateurs intégrés ainsi que la partie numérique de commande et de lecture. Cet ASIC est configurable par un ensemble de DAC 10 bits via un contrôleur JTAG intégré.

Objectifs :

- Comprendre l'existant en reprenant les simulations du circuit dans l'environnement CADENCE (mixte).
- Avec les ingénieurs de test du groupe
 - Définir les protocoles de test
 - Réaliser le banc de mesure et caractériser le circuit
 - Analyser et exploiter les résultats
- Valider (ou non) les différentes options choisies pour les mémoires intégrées
- Suggérer des améliorations à prévoir et les mettre en œuvre sous CADENCE

Outils et langages:

- Bancs de caractérisation des ASIC développés à l'IPHC
- CADENCE analogique et mixte (ADE, Spectre, AMSDesigner, Layout)
- VHDL, Verilog, VerilogAMS.
- MATLAB, Labview.

Institut Pluridisciplinaire
Hubert Curien
Département Recherches
Subatomiques

23 rue du Loess

BP 28

F-67037 Strasbourg cedex 2

Tél. : (33) 03 88 10 65 87

Fax : (33) 03 88 10 62 34

<http://www.wires.in2p3.fr>