

Master Sciences – Mention Physique Spécialité "Micro- Nano-Electronique" 2005/2006

Proposition de stage

Laboratoire d'accueil : IReS/UMR7500.

Imagerie TEP

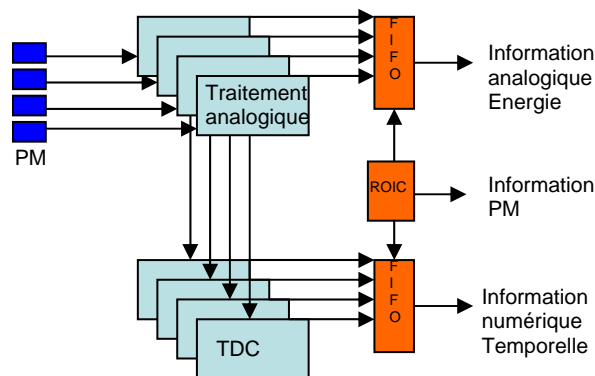
Mise en oeuvre et conception d'une architecture d'ordonnancement d'un flot de données dans le temps.

A. Sujet bibliographique :

L'étude bibliographique porte l'état de l'art de ce type d'architecture, ainsi que sur la méthodologie de conception d'une telle architecture.

B. Description du stage :

L'intégration à très grande échelle est l'un des enjeux principaux de la microélectronique. Les réductions spectaculaires aux dimensions submicroniques des transistors CMOS ont fait émerger de nouvelles possibilités d'applications. D'autre part, les outils de développement et de conception assistée par ordinateur (CAO) sont toujours plus performants et mieux adaptés à la synthèse de circuits à applications spécifiques (ASIC) dont la demande est en constante progression. Ces critères permettent de réaliser de nouveaux circuits de conditionnement appliqués à l'imagerie biomédicale comme la tomographie d'émission de positons (PET). L'imagerie fonctionnelle in vivo utilisant des marqueurs radioactifs est la technique qui permet les explorations des systèmes biologiques les plus complets en raison de la variété des traceurs. Dans ce domaine, la PET permet de réaliser des explorations du vivant à l'échelle de la pico mole. Cette imagerie consiste à détecter en coïncidence les deux photons émis dans des directions opposées après annihilation du positon de l'émetteur β^+ . L'imagerie PET chez le petit animal joue un rôle très important pour l'évaluation de nouveaux procédés radio-pharmaceutiques et l'étude des paramètres physiologiques et biochimiques. Le laboratoire s'est investi dans le développement d'un tomographe pour le petit animal comportant environ 15000 canaux de détection, la résolution temporelle pour la mesure de coïncidence entre canaux devant être de l'ordre de la nanoseconde.



C'est dans ce contexte que nous proposons un stage de Master2. Ce stage portera sur l'étude et la conception d'une architecture d'ordonnancement d'un flot de données. Dans un premier temps, le stagiaire étudiera, en concertation avec son superviseur, la faisabilité de l'architecture et enfin réalisera un démonstrateur en technologie CMOS 0.35 μm . Pour cela il passera par les étapes classiques modélisation, simulation (VHDL AMS) et de synthèse automatique puis si les délais le permettent, la réalisation du layout et sa vérification.

Responsables du stage : Nicolas OLLIVIER-HENRY (Ingénieur IReS)

Mél : Nicolas.OLLIVIER-HENRY@IReS.in2p3.fr

Tel : 03 90 24 28 45.

Professeur Yann HU

Mél : hu@lepsi.in2p3.fr

Tél : 03 90 24 28 37